

a)

Programmable logic array device with random access memory configurable as product terms

Patent Number: ☐ EP0866558, A3
Publication date: 1998-09-23
Inventor(s): HEILE FRANCIS B (US)
Applicant(s): ALTERA CORP (US)
Requested Patent: ☐ JP11243334
Application Number: EP19980302057 19980318
Priority Number(s): US19970041046P 19970321; US19980034050 19980303
IPC Classification: H03K19/177
EC Classification: H03K19/177
Equivalents: ☐ US6020759
Cited patent(s): US5550782; US5559450

Abstract

A look-up-table-based programmable logic device is provided with memory circuitry which can be operated either as random access memory ("RAM") or to perform product term ("p-term") logic. Each individual row of the memory is separately addressable for writing data to the memory or, in RAM mode, for reading data from the memory. Alternatively, multiple rows of the memory are addressable in parallel to read p-terms from the memory. The memory circuitry of the invention is particularly useful as an addition to look-up-table-type programmable logic devices because the p-term capability of the memory circuitry provides an efficient way to perform wide fan-in logic functions which would otherwise require trees of multiple look-up tables.

Data supplied from the **esp@cenet** database - I2

a)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 2 4 3 3 3 4

(43) 公開日 平成 11 年 (1999) 9 月 7 日

(51) Int. Cl. °

識別記号

F I

H 0 3 K 19/173

1 0 1

H 0 3 K 19/173 1 0 1

審査請求 未請求 請求項の数 2 7

F D

(全 1 0 頁)

(21) 出願番号 特願平 10-92511

(22) 出願日 平成 10 年 (1998) 3 月 21 日

(31) 優先権主張番号 60/041046

(32) 優先日 1997 年 3 月 21 日

(33) 優先権主張国 米国 (U S)

(31) 優先権主張番号 09/034050

(32) 優先日 1998 年 3 月 3 日

(33) 優先権主張国 米国 (U S)

(71) 出願人 594110103

アルテラ・コーポレーション

アメリカ合衆国・95134・カリフォルニア

州・サン ホセ・イノベーション ドライ

ブ・101

(72) 発明者 フランシス ビー ハイル

アメリカ合衆国、カリフォルニア 95134、

サン ホセ、イノベーション ドライブ

101

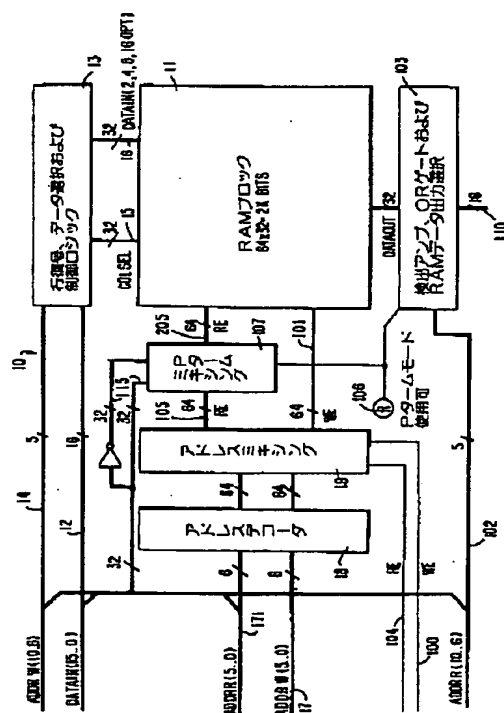
(74) 代理人 弁理士 浜田 治雄

(54) 【発明の名称】 積算項として構成可能なランダムアクセスメモリを備えるプログラマブルロジックアレイ装置

(57) 【要約】

【課題】 多数の入力を有するロジック機能をより容易に実行することができる検索テーブル型プログラマブルロジック装置を提供する。

【解決手段】 検索テーブルに基づいたプログラマブルロジック装置に、ランダムアクセスメモリ (“RAM”) または積算項 (Pターム) ロジックを実行するためのもののいずれかとして動作し得るメモリ回路を設ける。メモリ内の個々の列は、メモリ内にデータを書き込むため、あるいはRAMモードにおいてはメモリからのデータを読み込むためにそれぞれ分離してアドレスすることができる。他方、メモリからのPタームを読み込むためにメモリの複数の列を同時にアドレスすることができる。本発明のメモリ回路は、特に検索テーブル型プログラマブルロジック装置への付加に適しており、これはメモリ回路のPターム容量が広範なファンインロジック機能の実行を有効に達成するからであり、これはさもなければ複数の検索テーブルの組み合わせを必要とするものである。



【特許請求の範囲】

【請求項1】 それぞれが選択されたロジック機能を実施するためにプログラム可能である複数の検索テーブルと；ランダムアクセスメモリのブロックと；ランダムアクセスメモリをメモリまたはPターム型ロジック機能を実行するためのロジックとして使用するよう選択的に構成する回路と；プログラマブルロジック装置上の検索テーブルおよびランダムアクセスメモリのブロックを選択的に結合するよう構成された相互接続回路とからなるプログラマブルロジック装置。

【請求項2】 前記回路がPターム型ロジック機能を実行するようランダムアクセスメモリを設定するPターム能動化回路を備える請求項1記載のプログラマブルロジック装置。

【請求項3】 Pターム型ロジック機能を実行するよう設定された際にランダムアクセスメモリにPターム入力信号を伝送するためのランダムアクセスメモリへの入力を前記回路が備える請求項1記載のプログラマブルロジック装置。

【請求項4】 前記回路がPターム入力信号を受信するよう構成されたマルチプレクサをさらに備える請求項3記載のプログラマブルロジック装置。

【請求項5】 マルチプレクサがランダムアクセスメモリ内の複数の列を選択する複数の選択信号を発生させるよう構成された請求項4記載のプログラマブルロジック装置。

【請求項6】 ランダムアクセスメモリが複数のPターム出力ラインを備える請求項1記載のプログラマブルロジック装置。

【請求項7】 複数のメモリセルが複数のPターム出力ラインのそれぞれに結合され、結合されたメモリセルの一つが論理1を記憶している場合に第一の状態を想定するよう各Pターム出力ラインを構成する請求項6記載のプログラマブルロジック装置。

【請求項8】 複数のメモリセルが複数のPターム出力ラインのそれぞれに結合され、結合されたメモリセルの一つが論理0を記憶している場合に第二の状態を想定するよう各Pターム出力ラインを構成する請求項6記載のプログラマブルロジック装置。

【請求項9】 Pターム出力ラインの受信を行うよう結合されたORゲートをさらに備える請求項6記載のプログラマブルロジック装置。

【請求項10】 ランダムアクセスメモリのブロックに結合された列アドレスデコーダをさらに備える請求項1記載のプログラマブルロジック装置。

【請求項11】 ランダムアクセスメモリのブロックに結合された行アドレスデコーダをさらに備える請求項1記載のプログラマブルロジック装置。

【請求項12】 ランダムアクセスメモリのブロックに結合された検出アンプを備える請求項1記載のプログラ

マブルロジック装置。

【請求項13】 複数の検索テーブルがこの検索テーブルからなる複数のブロック内に形成された請求項1記載のプログラマブルロジック装置。

【請求項14】 各検索テーブルが相互接続回路を介して近接する検索テーブルから分離される請求項1記載のプログラマブルロジック装置。

10 【請求項15】 検索テーブルを二つのグループにグループ分けし、各グループが相互接続回路を介して近接するグループから分離される請求項1記載のプログラマブルロジック装置。

【請求項16】 各検索テーブルをその四辺のそれぞれに近接する相互接続回路から少なくとも一つの入力を受信するよう構成する請求項14記載のプログラマブルロジック装置。

【請求項17】 各グループをその四辺のそれぞれに近接する相互接続回路から少なくとも一つの入力を受信するよう構成する請求項15記載のプログラマブルロジック装置。

20 【請求項18】 ランダムアクセスメモリを選択的に構成する回路が；ランダムアクセスメモリのいずれかの位置にデータを書き込むことを可能にするよう構成された書き込み回路と；ランダムアクセスメモリの選択された複数の位置からデータを読み込むとともにPターム型ロジック機能内に論理的に結合するよう構成された読み込み回路とを備える請求項1記載のプログラマブルロジック装置。

30 【請求項19】 書き込み回路は実質的に読み込み回路から独立して動作し得る請求項18記載のプログラマブルロジック装置。

【請求項20】 実質的に独立した書き込みおよび読み込み回路の動作により、Pタームロジック機能におけるランダムアクセスメモリからのデータを読み込みかつ結合する読み込み回路の動作を妨害することなく、書き込み回路を使用してランダムアクセスメモリ内のデータを変更し得る請求項19記載のプログラマブルロジック装置。

40 【請求項21】 実質的に独立した書き込みおよび読み込み回路の動作により、再構成可能な演算処理のためのPタームロジック機能を提供するようランダムアクセスメモリを使用することを可能にする請求項19記載のプログラマブルロジック装置。

【請求項22】 実質的に独立した書き込みおよび読み込み回路の動作により、ランダムアクセスメモリを動的マルチプレクサとして使用することを可能にする請求項19記載のプログラマブルロジック装置。

50 【請求項23】 実質的に独立した書き込みおよび読み込み回路の動作により、プログラマブルロジック装置の動作中の異なった時点において異なったロジック機能をランダムアクセスメモリ内にロードすることを可能にする

る請求項 1 9 記載のプログラマブルロジック装置。

【請求項 2 4】 処理回路と；前記処理回路に結合されたメモリと；前記処理回路ならびにメモリに結合された請求項 1 記載のプログラマブルロジック装置とからなるデジタル処理システム。

【請求項 2 5】 請求項 1 記載のプログラマブルロジック装置を実装したプリント回路基板。

【請求項 2 6】 プリント回路基板上に取り付けられるとともにメモリ回路に結合されたメモリをさらに備える請求項 2 5 記載のプリント回路基板。

【請求項 2 7】 プリント回路基板上に取り付けられるとともにメモリ回路に結合された処理回路をさらに備える請求項 2 5 記載のプリント回路基板。

【発明の詳細な説明】

【0 0 0 1】

【産業上の利用分野】この発明は、埋め込み型ランダムアクセスメモリ配列を有するプログラマブルロジックアレイに関し、このランダムアクセスメモリは必要に応じてプログラム可能な積算項型要素として形成することができる。より具体的には、本発明は、ロジックを実行するための検索テーブルと大規模なブロックのランダムアクセスメモリからなり、このランダムアクセスメモリはユーザによりデータ蓄積と追加的な検索テーブルロジックに使用され、あるいはランダムアクセスメモリからなる大規模なブロックをプログラム可能な積算項型ロジック要素として構成することもできる。

【0 0 0 2】

【従来の技術】既知のこの種のプログラマブルロジック装置は、プログラム可能なANDゲートの配列を含み、このANDゲートは特に複数の出力を生成し、この出力はそれぞれ複数の入力のAND演算によって算出される。これらのANDゲートアレイ出力は、AND機能の論理表示が掛算に相当するため、一般に“積算項”と呼ばれている。一般に、これらの複数の積算項または“Pターム”は、積算和出力を生成するためORゲートによって結合される（OR機能は加算と同等になる）。

【0 0 0 3】別の形式のプログラマブルロジック装置は、多数の比較的小さな検索テーブルを使用して実施され、この検索テーブルの入力はプログラマブルロジック装置の入力か、または装置内の他の検索テーブルの出力となる。

【0 0 0 4】近年開発されたプログラマブルロジック構造においては、検索テーブル型プログラマブルロジックのブロックの中にユーザが設定することができる比較的大きなランダムアクセスメモリ（RAM）のブロックが形成されている。この種の構造の一つが、クリフ等による米国特許第 5 6 8 9 1 9 5 号に記載されており、この文献はここにおいて参照として全般的に組み入れている。このユーザが設定可能なメモリブロックは一般的に装置のメモリ目的で使用するか、あるいは追加的な比較

的大きい検索テーブルとして使用することができる。

【0 0 0 5】検索テーブル型のロジックは、手ごろな大きさのブロックの回路内において実行されるロジック機能の入力数の点に関して、Pターム型ロジックに比べて難点を有する。例えば、前述したクリフ等の特許においては、多数の4入力検索テーブルといくつかの比較的大きなブロックのユーザ設定可能なRAMからなる装置が示されており、このRAMブロックは8ないし11入力の検索テーブルとして機能することができる。この装置において11入力以上のロジック機能を実行するには市販の検索テーブルユニットの組み合わせを使用する必要がある。より大きなユーザRAMブロックを備え、十分に大きな数の入力（例えば、20、30、またはより多数の入力）を有する検索テーブルとして動作するよう設計変更することは実用的ではなく、これはこのようなRAMブロックが極めて大きなサイズとなるからである。しかしながら、20、30、またはより多数の入力を有するPターム型ロジックアレイは過度に大きなものではなく、したがって多数の入力として機能する出力をより容易に提供することができる。

【0 0 0 6】

【発明が解決しようとする課題】したがって、本発明の目的は、多数の入力を有するロジック機能をより容易に実行することができる検索テーブル型プログラマブルロジック装置を提供することである。

【0 0 0 7】本発明の別の目的は、ユーザ設定可能な比較的大きいRAMのブロックを備え、このユーザ設定可能なRAM内において必要に応じて選択的にPターム型ロジックを使用するロジック機能を実行することができる検索テーブル型プログラマブルロジック装置を提供することである。

【0 0 0 8】

【課題を解決するための手段】本発明のこれらまたはその他の目的は、本発明の原理にしたがって、検索テーブル型ロジックと、選択的にPターム型ロジックの実行に使用できる比較的大きいユーザ設定可能なRAMブロックとを備えるプログラマブルロジック装置を提供することによって達成される。RAMブロック内にデータを記憶するか、またはRAMブロックを通常メモリ（追加的な検索テーブルを含む）として使用するために、ブロックの異なった列を異なった基礎に基づいた時間においてアドレスする回路を設ける。他方、RAMブロックをPターム型ロジックの実行に使用するため、ブロックの複数の列を平行してアドレスするための回路を設ける。RAMブロック内のメモリ位置の各行に対して、平行してアドレスされた列の内容が論理的にAND演算され、それによってこれらの列の内容のPターム出力が生成される。RAMブロックをPタームモードで使用する際に、異なった行出力の論理的OR演算を選択的に使用しこれによって積算和出力信号を生成するための回路を設け

る。

【0009】本発明の他の特徴および種々の利点は、添付図面ならびに以下の好適な実施例の記述によって明らかにされよう。

【0010】

【実施例】図1には、本発明にしたがって構成された説明的なランダムアクセスメモリモジュール10が示されている。RAMモジュール10は、前述したクリフ等の特許のような構造を有するプログラマブルロジックデバイス、あるいは埋め込み型RAMブロックまたはモジュールを有する他のいずれかのタイプの装置内の埋め込み型アレイブロックとすることができる。図2には、複数のRAMブロック10がプログラマブルロジック装置20のロジックブロック21内にどのように埋め込まれているかを示している。各ロジックブロック21はいくつかのロジックモジュール22からなり、それらはそれぞれ4入力検索テーブルを含む。装置20の追加的な構造（相互接続コンダクタネットワーク23を含む）は、前述したクリフ等の特許に詳細に記載されている。本発明に係る植込み型RAMブロック10を含む別のプログラマブルロジックデバイスの実施例が図6に示されており、後に詳細に記述する。

【0011】RAMモジュール10の心臓部にはRAMアレイ11がある。図1に示されている説明的なRAMモジュール10は、一つの16ビット書き込みポート（データ入力バスコンダクタ12）および一つの16ビット読み込みポート（コンダクタ110）を有する。図1に示されているように、RAMアレイ11は64×32で配列された2キロビットのアレイである。RAMアレイ11は、データ入力バス12を介して同時に16ビットのデータを入力することにより書き込みができ、これは行復号、データ選択および制御ロジック13に伝送される。行制御ロジック13は、AddrWライン14上の書き込みアドレスデータビット10ないし6を使用してライン12上のデータがアレイ11のどの行に該当するかを復号および選択する。32本の行選択ライン15および32本のデータライン16が行選択ロジック13からアレイ11に接続されている。ライン12上のデータがどの行に該当するかを示す追加的なアドレスデータビット5ないし0がAddrWライン17に入力され、デコーダ18およびアドレスマルチプレクサ19によって復号される。書き込み可能化入力100が高位である際、アドレスマルチプレクサ19は書き込み可能化ライン101の一つを介してアレイ11に復号されたアドレスデータを伝送する。言い換えれば、RAMアレイ11に書き込みデータが発せられた際、要素18および19は、AddrWビット5ないし0によってアドレスされたRAMアレイの64個の列の一つに対する書き込み可能化入力101を選択する。

【0012】図3に示されているように、所与のRAM

セル30に対して、対応する行選択ライン315ならびに列書き込み選択ライン301の両方がともに高位である際、該当するデータ入力ライン316上のデータがそれぞれ電界効果トランジスタ34、35を介して記憶要素31（一般的に閉ループ内に結合された強インバータ32および弱インバータ33からなる）に結合される。

【0013】読み込みモードにおいて、モジュール10が通常RAMとして使用される際、AddrRライン171上において列アドレスデータビット5ないし0が提供され、AddrRライン102上において行アドレスデータビット10ないし6が提供される。ライン102上の行アドレスデータは出力制御モジュール103のデータ出力選択ロジックを制御し、導線110を介してデータを出力するRAMアレイ11の行を選択する。ライン171上で入力される列アドレスデータは、アドレスデコーダ18ならびにアドレスマルチプレクサ19によって復号される。読み込み可能化入力104が高位である際、アドレスマルチプレクサ19はアドレスされた64本の読み込みアドレスライン105の一つにおいて、復号されたアドレスデータをアレイ11に伝送する。プログラム可能なPタームモード機能可能化制御要素（“FCE”）106からの適正な信号によってPタームモードが使用不可にされることを仮定すると、ライン105上の復号されたアドレスデータはPタームアドレスマルチプレクサ107によって変更されることなくライン205ならびにアレイ11に伝送され、読み込みを行うアレイの一つの列を選択する。

【0014】図示されているように、特定のセルが選択された場合、該当する列読み込みライン305が高位になるため、電界効果トランジスタ36はメモリ要素31をデータ出力ライン304に接続し、これはこのラインがロジック103によって選択された場合に読み取ることができる。列読み込みライン305によってトランジスタ36がターンオンされた際、要素31が論理“1”を記憶していれば、トランジスタ37はデータ出力ライン304を接地方向に引き下げられ、プルアップ306によって高位に保持される。RAMモジュール10が通常メモリとして使用される際においても、ライン304の出力の読み込みには検出アンプが必要とされることがあり、したがって出力制御ロジック103は検出アンプを備えることが好適であり、これは全ての出力ライン304に対して同様であり得る。

【0015】モジュール10をPタームモードで使用する際（FCE106を適切にプログラムすることにより）、読み込みのみが影響を受ける。Pタームモードにおいて、Pタームアドレスマルチプレクサ107はアドレスライン205をアドレスライン105から切断して代わりにライン115上の64個のPターム入力に接続し、これはアドレス入力14、102、171およびデータ入力12の32個の正および補足信号をなすもので

ある。入力12, 14は、通常読み込みモードでは使用されないため、Pターム入力として使用することができる。このPタームモードに対する入力信号の特定の選択は任意のものであり、以下に記述するように、32個のPタームモード入力の一部または全てに対して他のいずれかの信号を代わりに使用することができる。したがって、ライン205は複数の列を同時に選択し、各出力ライン304は64個の外部への正および補足信号のPタームとなり、この出力ラインと結合された行内において多様なメモリセルが論理“1”にプログラムされる。特に、ライン304は、このライン上のいずれかのセル30が論理“1”にプログラムされ結合された列読み込みライン305上の論理“1”によって選択された場合、低位に下げられる。再び、各ライン304の出力が制御ロジック103内の検出アンプによって読み込まれる。制御ロジック103はさらに一つまたは複数のORゲートを備えることができ、積算和を得るために、それらにはライン304上の二つまたはそれ以上のPタームがそれぞれ接続される。ロジック103は、登録された出力を選択的に提供するために、フリップフロップまたは他のレジスタ要素を備えることができる。ロジック103の代表的な部分の説明的実施例を図4に詳細に示し、以下に記述する。

【0016】図4において、コンダクタ304nおよび304mは、図3のコンダクタ304の代表的な二つの例に相当する。ANDゲート402nおよび402mは図3の複数のトランジスタ36の各コンダクタ304への接続によって実行されるAND機能を示している。要素404, 406, 410, 420, 430および470により、またはこれらの補助によって、積算和ロジックに必要なOR機能が実行される。コンダクタ304からプログラマブルロジックコネクタ(“PLC”)450への別のルート440は、RAMモジュール10がPタームロジックではなくむしろ通常RAMとして動作している際に使用される。したがって、ブロック440によって示される回路は前述したクリフ等の特許に示されているように構成することができる。積算和ロジックを実行するために使用する際、図4に示された回路はロジックマクロセル回路として想定することができ、時々そのように呼称する。

【0017】PLC406aはFCE-R1によってプログラムすることができ、PLC470の入力の一つにVCC(論理1)またはPターム304nのいずれか一方を付加する。PLC406bはFCE-R1によってプログラムすることができ、ORゲート410の入力の一つにPターム304nまたはVSS(論理0)のいずれか一方を付加する。PLC406cはFCE-R2によってプログラム可能であり、ORゲート410の第二の入力にPターム304mまたはPターム304mの論理逆数(インバータ404によって生成される)のい

れかを付加する。ORゲート410への第三の入力は、近接する積算和ロジック(図示されていないが図4に示されたPターム304ロジックと類似である)からのカスケード接続408inである。特に、各マクロセルのカスケード入力408inは、近接するマクロセルのカスケード出力408outとなる。

【0018】ORゲート410の出力は各PLC420aおよび420bの一つの入力に付加される。PLC420aはFCE-R3によってプログラム可能であり、ORゲート410の出力またはVSSのいずれか一方をカスケード出力408outに付加する。PLC420bはFCE-R3によってプログラム可能であり、ORゲート410の出力またはVSSのいずれか一方を排他的ORゲート430の入力端子の一つに付加する。排他的ORゲート430への他の入力PLC470の出力信号である。マクロセルが(1)VCC(PLC406aから)、(2)単一Pターム304n出力(PLC406aから)、(3)VSS、(4)フリップフロップ460のQ出力、(5)フリップフロップ460の逆数化されたQ出力のいずれかをを用いてORゲート410の出力の排他的ORを生成することを可能にするために、要素430および470が共に作動する。PLC470はFCE-R4およびR5によってプログラム制御される。PLC450はFCE452(これは図1のFCE106と同一のものですることができ)によってプログラム可能であり、排他的ORゲート430の出力またはロジック440の出力のいずれかを選択してフリップフロップ460のD入力およびPLC480の一つの入力に付加する。PLC480はFCE-R6によってプログラム可能であり、PLC450の出力またはフリップフロップ460のQ出力をRAMモジュール10の出力線110に付加する。したがって、図4に示されたマクロセルは、登録された(Q)あるいは組成された積算和信号をコンダクタ110を介して出力することができる。要素460および480は回路440と結合して同様に使用することができ、RAMモジュール10から登録された、または非登録の従来のRAMまたはROM出力を提供する。

【0019】図4に示された積算和マクロセル回路は、全体的に米国特許第5121006号に記載されたものと同様であり、ここで参照として組み入れてある。

【0020】図1に示された64×32アレイ11において、32個の入力を有する32個のPタームを提供することができる。出力ロジック103内において異なった数のORゲート410を効果的に組み合わせることによって、出力ごとに32ないし2個のPタームを有する1ないし16個の積算和が得られる。この方法により、ORゲート410が前述したカスケード出力およびカスケード入力接続408を介して有効に結合される。

【0021】32個の入力を有する32個のPタームを

設けることにより、4入力検索テーブルの組み合わせを使うことに比べて広範なファンインおよび高速な回路を提供することができる。このことは、より複雑なロジックまたは状態の機器を実行することを可能にする。また、同様にして一つのプログラマブルロジック装置内にこの種のアレイを複数使用することもできる。

【0022】ライン101の書き込みポートは前述したモジュール10のPタームモード動作においては使用されない。その結果、書き込みポートはPターム動作中においてアレイ11の書き込みに使用できる。したがって、アレイ11への書き込みのためのアドレスデータをアレイに付加できると仮定すると、自己修正型の装置を設けることができる。書き込みアドレスラインがPターム入力に使用されることを記述したが、自己修正型のロジックが必要とされる場合は、他の構成を使用することもできる。例えば、Pターム入力のいくつかに対して使用される書き込みアドレスラインの使用に代えて、他のPターム入力を使用することができる。したがって、書き込みアドレスラインはアレイ11の内容の変更に使用することができる。Pタームブロック（すなわちアレイ11）へ書き込みができることによって、演算操作の再構成に対する効果的なロジックの実行が達成される。例えば、Pタームアレイ11は32入力-16出力のマルチプレクサとして使用することができ、柔軟なルート設定および急速な変更が達成される。加えて、ロジック機能を実行するためにPタームの全出力を使用することにより、アレイ11の内容を変更することによって十分に異なったロジック機能を“ダウンロード”することが可能になる。

【0023】図5には、図1に示された回路を変更してアレイ11への新規のデータの書き込みを可能にする方式が示されており、これによって、積算とロジックにおけるPタームアレイとしてのアレイの使用を妨害することなくアレイ11内のデータを完全に自由に変更することが可能になる。図5に示された別の実施例においては、Pタームモードにおいてアレイ11が必要とする32個のワードライン信号が、コンダクタ12、14、102、および171等の他のソースから“借りられる”ことなく、独立したワードライン信号コンダクタ114から伝送される。（このような全てのワードライン信号の独立したソーシングは絶対に必要なものではない。例えば、いくつかのワードライン信号は図1に示されるように読み込みアドレスコンダクタ102および171から“借りる”事ができ、これはこれらのコンダクタ上の信号が回路のPタームモードの動作中において要素18、19、103、および107によって必要とされないからである。）この回路構成は、連続するいずれかの時間においてもPターム出力を提供するアレイの使用を妨害することなく、アレイ11のいずれかのセルへ新規のデータを書き込むことを可能にする。したがって、図

5に示された回路は前段落において記述された全ての追加的な利点を備えている（すなわち、回路は再構成可能な演算操作のためのロジックを実行でき、動的な32入力-16出力マルチプレクサとして機能することができ、必要であればアレイ11に全く異なったPタームロジック機能を“ダウンロード”することができる）。

【0024】ここに記述される方式でRAMブロック10をSRAMに基づいた検索テーブル型装置20で構成することにより、多数の入力を有するPタームロジック機能を選択的に提供できる検索テーブル型装置を得ることができる。

【0025】図6は、ロジックブロック21'に内蔵されたRAMブロック10を備える別の方式のプログラマブルロジック装置20'の一例を示している。この場合において、装置20'は、フリーマンの米国特許Re.(第34363号に示されているように構成することができ、これもここで参照に組み入れてある。したがって、各ロジックブロック21'は、一つまたは二つの小さな検索テーブルからなる設定可能なロジックブロック（“CLB”）とすることができる。各CLB21'は相互接続コンダクタ23'によって包囲することができ、これによりCLB21'または装置内外の他の回路との間で信号を伝送することができる。装置上の他の回路とはRAMブロック10を含むものである。各CLB21'はその側辺のいずれかに近接する相互接続コンダクタ23'から信号を受信することができる。同様に、各CLBはその側辺のいずれかに信号を送信することができる。図2の実施例に示されているように、各RAMブロック10は通常RAM/ROMとして、あるいはPタームロジックを実行するために使用することができる。

【0026】図7には、データ処理システム502内における本発明のプログラマブルロジック装置20/20'が示されている。データ処理システム502は以下に示す構成要素の一つあるいは複数のものを備えており：それらはプロセッサ504；メモリ506；I/O回路508；および周辺装置510である。これらの構成要素はシステムバス520によって互いに結合され回路基板530上に形成されており、この回路基板はエンドユーザシステム540内に包含されている。

【0027】システム502は、コンピュータネットワーク、データネットワーク処理、ビデオ処理、デジタル信号処理等の広範な応用操作、あるいはプログラマブルまたはリプログラマブルロジックの長所を必要とする他の応用処理に使用することができる。プログラマブルロジック装置20/20'は種々の異なったロジック機能を実行するために使用することができる。例えば、プログラマブルロジック装置20/20'は、プロセッサ504と共に作動するプロセッサまたはコントローラとして形成することができる。また、プログラマブルロジック

ク装置 20/20' は、システム 502 内の割り当てられたリソースへのアクセスを仲介するアービタとして使用することもできる。さらに別の実施例において、プログラマブルロジック装置 20/20' は、プロセッサ 504 とシステム 502 内の他の一要素との間のインタフェースとして構成することもできる。システム 502 は単に一例を示すものであり、本発明の本質的な範囲ならびに精神は請求の範囲によって示されることが理解されよう。

【0028】本発明の RAM モジュール 10 を使用するプログラマブルロジック装置 20/20' を実施するために、この RAM モジュールの種々の構成要素ならびに種々の技術を使用することができる。例えば、動作制御要素 106 ならびに他の FCE は、SRAM、DRAM、ファストインファストアウト（“FIFO”）メモリ、EPROM、EEPROM、動作制御レジスタ（例えばワールストロムの米国特許第 3 4 7 3 1 6 0 号に記載されている）、フェロエレクトリックメモリ、ヒューズ、アンチヒューズ等とすることができる。前述した数々の実施例から、本発明が一回のみプログラムできる装置およびプログラム可能な装置の双方に適用できることが理解されよう。

【0029】以上の記述は単に本発明の原理を説明するためのものであり、当業者においては本発明の範囲ならびに精神から逸脱することなく種々の設計変更をなし得ることが理解されよう。例えば、上記の説明で示されたアレイ 11 のメモリセルの特定数の行および列は単に説明のためのものであり、必要に応じて異なった数の行ならびに列（一般に N 列および M 行）を提供することができる。ここで、“列”および“行”という用語は任意に使用したものであり、絶対的あるいは固定的な方向または方向性を示すものではない。例えば、これらの用語はこの説明および請求の範囲において必要に応じて入れ替えることができる。本発明の範囲内における別の変更例として、ここで言及された種々の信号ならびにロジックの極性は単に説明的なものであり、必要に応じて他の極性を使用することができる。したがって、トランジスタ 37 が接続される固定電位は、図 3 に示された論理 0 ではなく論理 1 とすることもでき、各データ出力コンダクタ 304 は、図 3 に示されているような論理 1 へのプルアップ接続ではなく、論理 0 へのプルダウン接続を有することができる。

【図面の簡単な説明】

【図 1】本発明にしたがってランダムアクセスメモリまたは P ターム型ロジックとして形成されたランダムアクセスメモリロジックアレイの説明的な実施例を示す概略図である。

【図 2】本発明にしたがって構成したランダムアクセスメモリブロックを含む説明的な検索テーブル型プログラマブルロジック装置を示す概略図である。

【図 3】本発明に係るランダムアクセスメモリのセルの説明的な実施例を示す概略図である。

【図 4】図 1 の回路の出力部の代表的な部分の説明的な実施例を示す概略図である。

【図 5】全般的に図 1 のものと類似するが、本発明の別の実施例を示す概略図である。

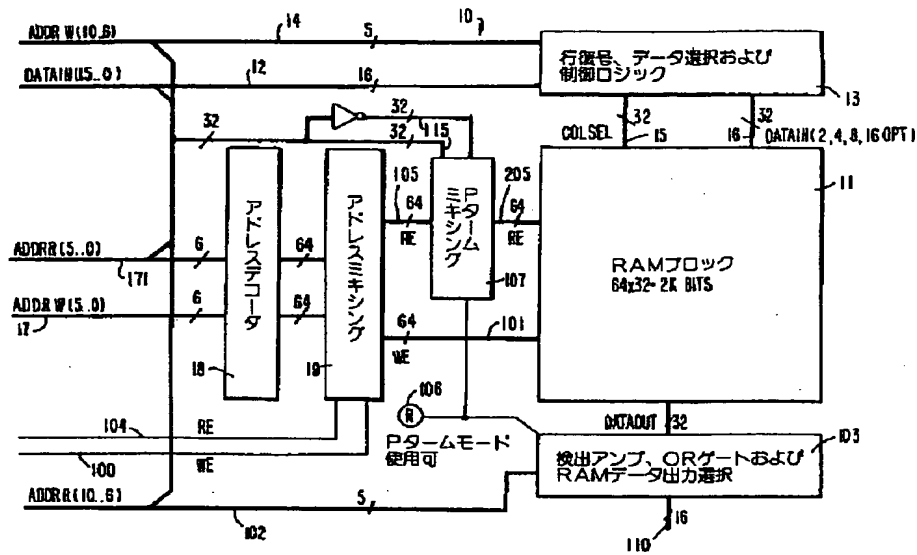
【図 6】本発明にしたがって構成したランダムアクセスメモリブロックを含む別の説明的な検索テーブル型プログラマブルロジック装置を示す概略図である。

【図 7】本発明に係るランダムアクセスメモリブロックを内蔵するプログラマブルロジックデバイスを使用する説明的なシステムを示すブロック線図である。

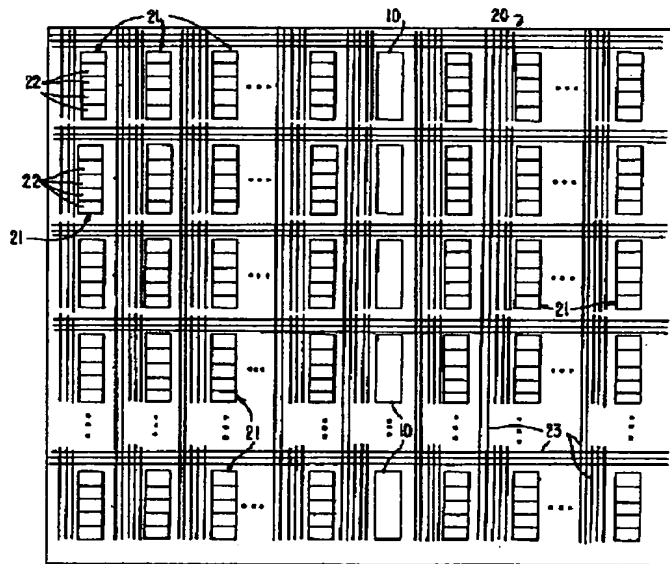
【符号の説明】

- 10 RAM モジュール
- 11 RAM アレイ
- 12, 23, 23', 110, 114 コンダクタ
- 13 コントロールロジック
- 14, 15, 16, 17, 101, 105, 115, 171, 205, 301, 304, 304m, 304n,
- 20 305, 315, ライン
- 18 デコーダ
- 19, 107 マルチプレクサ
- 20, 20' プログラマブルロジック装置
- 21, 21' ロジックブロック
- 22 ロジックモジュール
- 30 セル
- 31 記憶要素
- 32, 33 インバータ
- 34, 35, 36, 37 電界効果トランジスタ
- 30 100, 104 入力
- 103 出力制御モジュール
- 106 制御要素
- 110 導線
- 402m, 402n AND ゲート
- 404 インバータ
- 408in, 408out カスケード接続
- 410, 430 OR ゲート
- 440 ルート
- 450, 406a, 406b, 420a, 420b, 470, 480 PLC
- 452, R1, R2, R3, R6 FCE
- 460 フリップフロップ
- 502 データ処理システム
- 504 プロセッサ
- 506 メモリ
- 508 I/O 回路
- 510 周辺機器
- 520 システムバス
- 530 回路基板
- 50 540 エンドユーザシステム

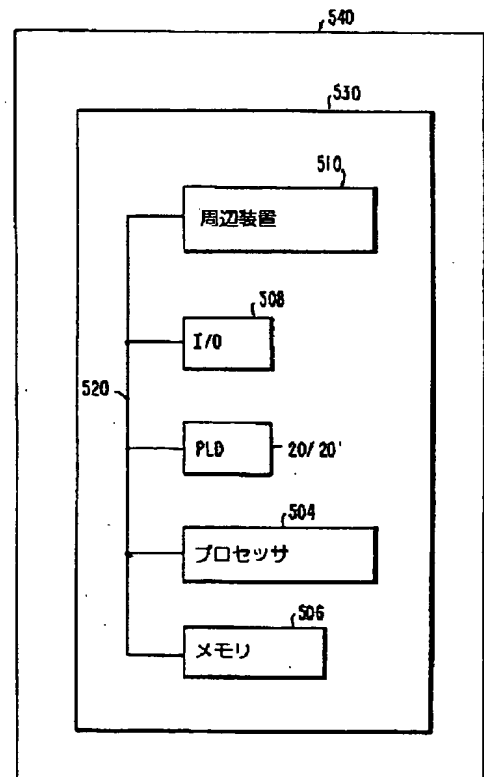
【図 1】



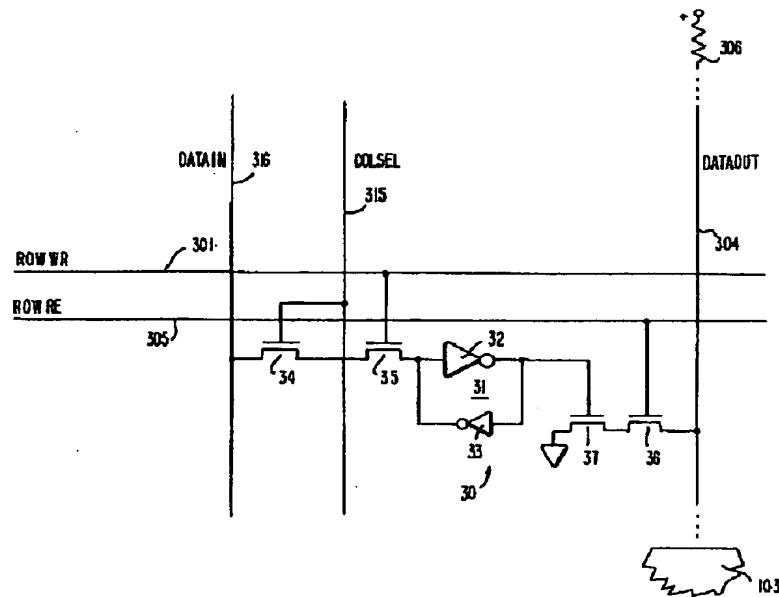
【図 2】



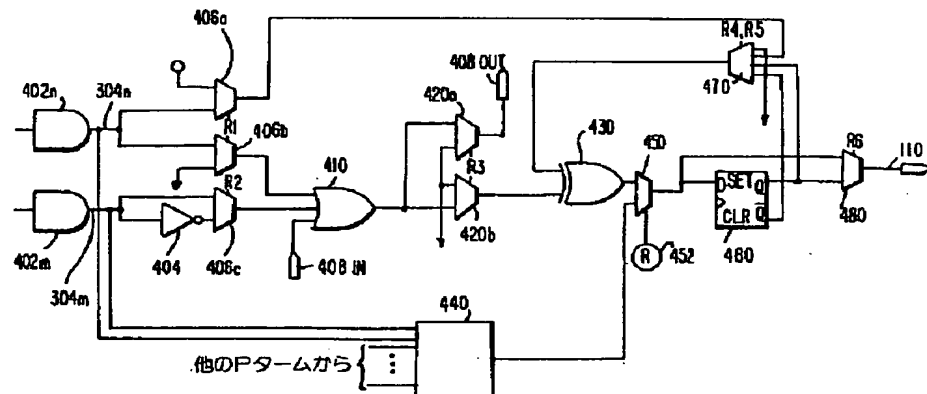
【図 7】



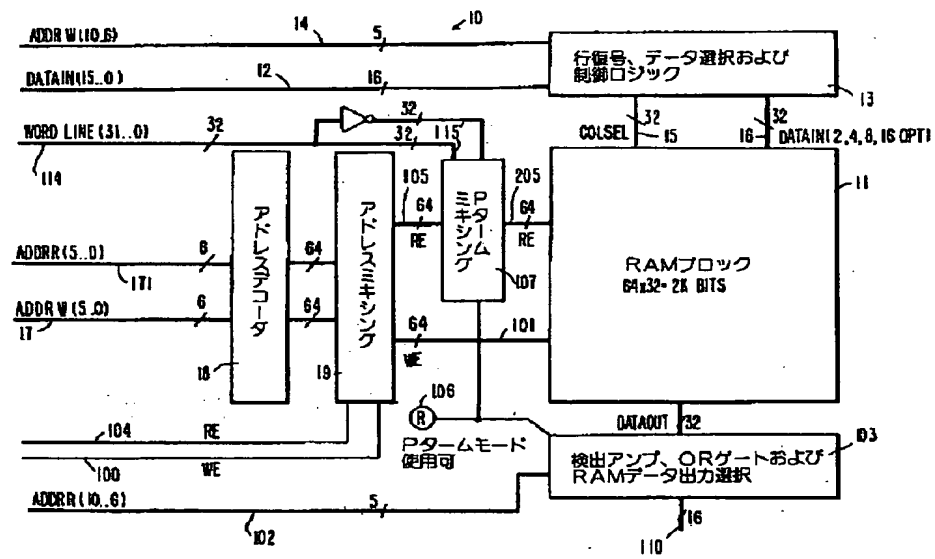
【図 3】



【図 4】



【図 5】



【図 6】

